

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335459

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 21/768
H01L 21/306

(21)Application number : 09-157854

(71)Applicant : NEC CORP

(22)Date of filing : 30.05.1997

(72)Inventor : ONUMA TAKUJI

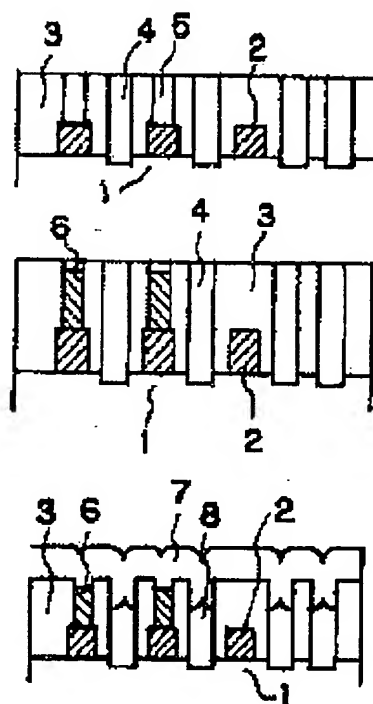
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To arbitrarily reduce the capacitance between adjacent wires with accuracy so as to realize both the refinement of a semiconductor device and the increase in the operating speed of the device by forming cavities extended in the vertical direction from a position higher than the upper surface of wiring to a position lower than the lower surface of the wiring by using the photoresist technology and the anisotropic etching technology.

SOLUTION: Via hole openings 5 and inter-wiring openings 4 are simultaneously formed through a first interlayer insulating film 3 by using the photoresist technology and the anisotropic etching technology and a via hole burying metal 6 is only selectively grown in the

openings 5 which become via holes. Then cavities 8 are formed among wires 2 by forming a second interlayer insulating film 7 on the entire surface so that only the tops of the inter-wiring openings 4 may be closed. Consequently, the cavities 8 are extended in the vertical direction from a position above the upper surface of the wiring 2 to a position lower than the lower surface of the wiring 2 and the side walls of the cavities 8 become perpendicular to a substrate within a range of angles, preferably, from 80° to 100°. Therefore, the capacitance between adjacent wires can be reduced uniformly and the capacitance of a pattern can be reduced to a desirable value.



LEGAL STATUS

[Date of request for examination] 30.05.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3102382

[Date of registration] 25.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3102382号

(P3102382)

(45) 発行日 平成12年10月23日 (2000. 10. 23)

(24) 登録日 平成12年 8 月25日 (2000. 8. 25)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/768
21/306

H 0 1 L 21/90
21/306

N
F

請求項の数 4 (全 7 頁)

(21) 出願番号 特願平9-157854

(22) 出願日 平成9年5月30日 (1997. 5. 30)

(65) 公開番号 特開平10-335459

(43) 公開日 平成10年12月18日 (1998. 12. 18)

審査請求日 平成9年5月30日 (1997. 5. 30)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大沼 卓司

東京都港区芝五丁目7番1号 日本電気
株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

審査官 瀧内 健夫

(56) 参考文献 特開 昭62-5643 (J P, A)

特開 昭63-179548 (J P, A)

特開 平2-240947 (J P, A)

特開 平3-156929 (J P, A)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

1

(57) 【特許請求の範囲】

【請求項1】 素子間を接続する配線を有する半導体装置において、

配線間の絶縁膜が、少なくとも配線の上面よりも上方の位置から前記配線の底面よりも下方の位置までの高さをもつ空洞を1つの配線間に複数備えたことを特徴とする半導体装置。

【請求項2】 素子間を接続する配線を有する半導体装置において、

配線間の絶縁膜が、少なくとも配線の上面より上方の位置から前記配線の底面より下方の位置までの高さを持ち、かつ、側壁が基板に対して、80° から100° の範囲の角度で直線的である空洞を1つの配線間に複数備えたことを特徴とする半導体装置。

【請求項3】 (a) 半導体基板上に素子間を接続する配

2

線を形成する工程と、

(b) 配線間及び配線上に配線を覆うように層間絶縁膜を形成する工程と、

(c) フォトリソ技術によりビアホール開口用のパターンと配線間に開口部を形成するパターンとを同時にパターンニングする工程と、

(d) 前記フォトリソをマスクとしてビアホールの開口エッチングと同時に前記層間絶縁膜を異方性エッチングして配線間に開口部を形成する工程と、

(e) ビアホール埋め込み金属をビアホールになるべき開口部のみに選択的に成長させる工程と、

(f) 第二の層間絶縁膜を前記配線間の開口部の上部のみが塞がるように全面に形成して前記配線間に空洞を形成する工程と、

(g) 前記第二の層間絶縁膜を前記ビアホール内のビア

ホール埋め込み金属が露出するまで研磨・平坦化する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項4】 (a) 半導体基板上に素子間を接続する配線を形成する工程と、

(b) 配線間及び配線上に配線を覆うように層間絶縁膜を形成する工程と、

(c) フォトリソ技術及びドライエッチング技術により配線間に開口部を形成する工程と、

(d) 前記開口部の上部のみが塞がるように全面に第二の層間絶縁膜を形成して前記配線間に空洞を形成する工程と、

(e) 前記第二の層間絶縁膜を前記空洞が露出しないように研磨・平坦化する工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に配線間に絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近時、半導体装置の微細化にともなって配線間隔がますます狭くなり、隣接配線間容量が大きな問題となってきた。そこで、層間絶縁膜の低誘電率化が望まれているが、低誘電率化の方法として、従来、配線間の絶縁膜に、空洞を作って低誘電率化を図る方法が各種提案されている。

【0003】例えば特開平2-86146号公報には、図5に断面図として示すように、絶縁膜34aの成長に際して、配線端でのそのオーバーハング形状を利用して狭い配線(33a、33b、33c)間に空洞35を作る方法が提案されている。

【0004】また、例えば特開平4-207055号公報には、図6に断面図として示すように、配線44の間に選択的にエッチング可能な絶縁膜54を埋め込んでおき、小さい開口部56から等方性エッチによって埋め込んだ絶縁膜54を選択的にエッチングして空洞50を形成する方法が提案されている。

【0005】同様な技術として、例えば特開平5-21617号公報には、図7(e)から図7(g)に工程断面図として示すように、配線63a、63bの間に埋め込まれた絶縁膜65を、小さな開口部66aから等方性エッチによって選択的に除去して空洞68aを作って配線間の容量を低減する方法が提案されている。なお、図7(h)は、上記特開平5-21617号公報に記載の他の実施例の構成を示す図である。

【0006】

【発明が解決しようとする課題】しかしながら上記従来技術は下記記載の問題点を有している。

【0007】(1) 従来の配線間への空洞の作製方法と

して、図5を参照して説明した上記特開平2-86146号公報記載の方法においては、層間絶縁膜成長の配線端でのオーバーハング形状を利用するものであるため、配線間隔がオーバーハングによる空洞形成に適当な幅であるときにしか、空洞が形成されない。

【0008】また、配線間隔と配線断面形状に依存して、空洞の大きさ・形状が変化してしまい、容量低減効果がばらつくという問題もある。

【0009】加えて、絶縁膜のオーバーハング形状を利用しているため層間絶縁膜形成後の段差が大きくなり、後工程において完全な平坦化が困難になり半導体装置の微細化を妨げている。

【0010】(2) 次に上記特開平4-207055号及び特開平5-21617号公報記載の方法においては、空洞を作製する方法として、配線間に埋め込まれたエッチングレートが大きい絶縁膜を小さな開口部から等方性エッチングで除去する方法であるが、開口部形成のために、フォトリソ工程を追加しなければならず、工程数が大幅に増加する。

【0011】また、空洞の大きさに比べて開口部が小さくなっているため、空洞形成エッチングにウェットエッチングを用いた場合、エッチング液を確実に除去することが困難であり、後工程における不良の発生や配線の腐食等により信頼性の低下を招く、可能性がある。

【0012】さらに、多層配線LSIの機械的強度を確保するために、空洞を形成しない配線間を作ったり、一部に支柱を残したりする必要があり、容量低減効果のバラツキの原因となる。

【0013】また、従来の製造方法において、空洞は、配線の上面よりも上の位置から配線の底面より下方の位置にまで十分な高さをもつ空洞を制御よく形成することができず、空洞の上下を回り込む容量成分によって十分かつ精度の高い容量低減効果が得られない。

【0014】したがって、本発明は、上記問題点を鑑みてなされたものであって、その目的は、隣接配線間容量を精度良くかつ任意に低減可能とし、半導体装置の微細化と高速化を両立させることができる、半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体装置は、素子間を接続する配線を有する半導体装置において、配線間の絶縁膜が、少なくとも配線の上面よりも上方の位置から前記配線の底面よりも下方の位置までの高さをもつ空洞を1つの配線間に複数備える。好ましくは、配線間の絶縁膜に、少なくとも配線の上面より上方の位置から配線の底面より下方の位置までの高さを持ち、かつ、側壁が基板に対して、80°から100°の範囲の角度で直線的である空洞を1つの配線間に複数もつ。

【0016】また、本発明の半導体装置の製造方法は、

半導体基板上に素子間を接続する配線を形成する工程と、配線間及び配線上に配線を覆うように層間絶縁膜を形成する工程と、フォトリソ技術によりビアホール開口用のパターンと配線間に開口部を形成するパターンとを同時にパターンニングする工程と、前記フォトリソをマスクとしてビアホールの開口エッチングと同時に前記層間絶縁膜を異方性エッチングして配線間に開口部を形成する工程と、ビアホール埋め込み金属をビアホールになるべき開口部のみに選択的に成長させる工程と、第二の層間絶縁膜を前記配線間の開口部の上部のみが塞がるように全面に形成して前記配線間に空洞を形成する工程と、前記第二の層間絶縁膜を前記ビアホール内のビアホール埋め込み金属が露出するまで研磨・平坦化する工程と、を含む。

【0017】また、本発明は、半導体基板上に素子間を接続する配線を形成する構成と、配線間及び配線上に配線を覆うように層間絶縁膜を形成する工程と、フォトリソ技術及びドライエッチング技術により配線間に開口部を形成する工程と、前記開口部の上部のみが塞がるように全面に第二の層間絶縁膜を形成して前記配線間に空洞を形成する工程と、前記第二の層間絶縁膜を前記空洞が露出しないように研磨・平坦化する工程と、を含む。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。本発明の半導体装置は、その好ましい実施の形態において、図2(f)に示す断面構造となっており、配線2の間の絶縁膜3に形成された空洞8により、配線間に絶縁膜が埋め込まれた構造と比して、隣接配線間容量が低減され、集積回路の高速化が図れる。

【0019】また、空洞8はフォトリソ技術及び異方性エッチング技術により形成されているため、絶縁膜成長のオーバーハングを利用した空洞形成方法や等方性エッチによる空洞形成法と比して配線のパターンに依存がなく、任意の場所に任意の数の空洞を形成することができることから均一な容量低減効果が得られる。

【0020】また、空洞8は、配線2の上面より上方の位置から配線の底面より下方の位置までの高さを持ち、かつ、その側壁が基板に対して好ましくは 80° から 100° の角度で直線的とされる。このように空洞8が、配線2の上面より上方から配線2の底面の下方まで達する十分な高さを有していることから、回り込み分も考慮した隣接配線間容量の低減を図れる。

【0021】また、本発明の半導体装置の製造方法は、その好ましい実施の形態において、図1および図2の工程断面図に示すように、(a)フォトリソ技術および異方性エッチング技術により第一の層間絶縁膜3に

(b)ビアホール開口部5と配線間開口部4を同時に形成する工程(図1(b)参照)と、(c)ビアホール埋

め込み金属6をビアホールになるべき開口部5のみに選択的に成長させる工程(図1(c)参照)と、(d)第二の層間絶縁膜7を配線間の開口部4の上部のみが塞がるように全面に形成して配線2の間に空洞8を形成する工程(図2(d)参照)と、(e)第二の層間絶縁膜7をビアホール埋め込み金属6が露出するまで研磨・平坦化する工程(図2(e)参照)と、を含む。

【0022】これにより、配線パターンに依存しない任意の空洞8が形成でき、均一な隣接配線間容量の低減及び所望のパターンの容量低減が精度良く実現できる。

【0023】また、図3および図4は、配線2の間の開口部4とビアホールとを別々にフォトリソ技術と異方性エッチング技術により形成する半導体装置の製造方法であり、同様に均一な隣接配線間容量の低減および所望のパターンの容量低減が精度よく実現できる。

【0024】

【実施例】上記した本発明の実施の形態について、更に詳細に説明すべく、本発明の実施例について図面を参照して以下に詳細に説明する。

【0025】図1及び図2は、本発明の第一の実施例を製造方法を工程順に示した工程断面図である。なお、図1及び図2は単に図面作成の都合上分図されたものである。

【0026】図1及び図2において、1は半導体素子を有する半導体基板または下層配線との間の層間絶縁膜であり、例えば酸化膜である。アルミ合金配線2(配線厚 4500Å 、配線幅 $0.45\mu\text{m}$ 、配線間隔 $0.4\mu\text{m}$)がパターンニングされており、配線2を覆うように第一の層間絶縁膜3(酸化膜)として、プラズマ酸化膜またはバイアススパッタ酸化膜を $1.5\mu\text{m}$ 成長した後、CMP(Chemical Mechanical Polishing; 化学機械研磨)技術によって、研磨・平坦化して、配線上膜厚 800nm で形成されている(図1(a)参照)。

【0027】次に、通常のフォトリソ技術及び異方性エッチング技術によりビアホール開口部5($0.4\mu\text{m}$ 口)と配線間開口部4($0.3\mu\text{m}$)を同時に形成する。配線間開口部4は配線間が広い場合は複数開口しても良い(例えば配線間隔が $0.9\mu\text{m}$ の場合に $0.3\mu\text{m}$ 幅の開口部を2つ形成する)。このエッチングの過剰エッチング量を約 80% とすることで、配線間開口部4の深さは、約 1400nm となり、配線2の間には十分深くまで開口部が形成される(図1(b)参照)。

【0028】次に、ビアホール埋設のため、タングステン6をビアホール開口部5の中だけに選択的にCVD(chemical vapor deposition; 化学気相成長)法で成長する(例えば成長ガスとして WF_6 を 400°C 程度で H_2 または SiH_4 で還元し、金属上のみにタングステンを成長する)(図1(c)参照)。

【0029】次に、第二の層間絶縁膜7（酸化膜：プラズマ酸化膜またはバイアススパッタ酸化膜。RFパワーを落として埋設性を減少させ、開口部4の上部が塞がりやすくなる条件を用いる）を、配線間開口部4の上部のみが十分塞がるまで全面に形成する。配線間開口部4の径が0.3 μ mの場合は、第二の層間絶縁膜は0.5 μ m厚分ほど成長する。これにより、配線2の間の第一の層間絶縁膜3には密閉された空洞8が形成される（図2（d）参照）。

【0030】次に、第二の層間絶縁膜をウェハー研磨技術（CMP）を用いて埋め込み金属6が露出するまで研磨・平坦化し（図2（e）参照）、続いて通常のフォトリソ技術及びエッチング技術を用いて上層配線9を形成する（図2（f）参照）。

【0031】図3及び図4は、本発明の第二の実施例を製造方法を工程順に示した工程断面図である。

【0032】図3（a）に示した工程図は、前記第一の実施例の図1（a）と同様である。

【0033】まず、通常のフォトリソ技術とエッチング技術により、配線間開口部4（0.3 μ m□）を形成し（図3（b）参照）、次に、配線間開口部4の上部のみが十分に塞がるまで第二の層間絶縁膜7（プラズマ酸化膜またはバイアススパッタ酸化膜。RFパワーを落として埋設性を減少させ、開口部4の上部が塞がりやすくなる条件を用いる）を、第一の実施例と同様に0.5 μ m分全面に成長する（図3（c）参照）。これにより、配線2の間の第一の層間絶縁膜3には空洞8が形成される。

【0034】続いて第二の層間絶縁膜7をウェハー研磨技術（CMP）を用いて研磨・平坦化する。この際、空洞8が露出しないように研磨を終了させる（図4（d）参照）。

【0035】次に、通常のフォトリソ技術およびエッチング技術によりビアホール6を形成し（図4（e）参照）、つづいて上層配線9を形成する（図4（f）参照）。

【0036】この第二の実施例は、前記第一の実施例では、ビアホール開口部と配線間開口部を同時にパターニングする方法であるのに対し、別々にパターニングを行うため工程数は増加するが、タングステンの選択成長が困難な場合に形成が容易である。

【0037】また、空洞形成とビアホール形成の順番を逆にして、ビアホールを形成した後に、配線間開口部（空洞）を形成してもよい。

【0038】以上本発明の実施例においては、フォトリソ技術および異方性エッチング技術により配線間の絶縁膜に空洞を形成することにより、配線パターン依存が無く、任意の場所に任意の数の空洞を配線の上面より上方の位置から配線の底面より下方の位置までの高さをもつように形成することができるため、均一な隣接配線

間容量の低減、及び、所望のパターンの容量低減が精度良く十分な大きさで図ることができる。その結果、集積回路の高速化、高集積化に寄与するものである。

【0039】実験の結果、配線間を埋設した場合と比べて配線間に空洞を形成した場合は20～25%の隣接配線間容量の低減効果が確認できている。また、シミュレーションの結果、空洞の高さが配線の厚さ45000オングストローム（450nm）より上下それぞれ300nm大きい場合は、空洞の高さが配線の厚さと同じ場合と比べて50%以上も容量低減効果が增大することが確認できている。

【0040】

【発明の効果】以上説明したように、本発明の半導体装置及び製造方法によれば、フォトリソ技術および異方性エッチング技術により配線間の絶縁膜に空洞を形成することにより、配線パターン依存が無く、任意の場所に任意の数の空洞を配線の上面より上方の位置から配線の底面より下方の位置までの高さをもつように形成することができるため、均一な隣接配線間容量の低減、及び、所望のパターンの容量低減が精度良く十分な大きさで図ることができるという効果を奏する。その結果、集積回路の高速化、高集積化に寄与するものである。

【図面の簡単な説明】

【図1】本発明の第一の実施例を説明するための工程断面図である。

【図2】本発明の第一の実施例を説明するための工程断面図である。

【図3】本発明の第二の実施例を説明するための工程断面図である。

【図4】本発明の第二の実施例を説明するための工程断面図である。

【図5】従来技術（特開平2-86146号公報）を説明するための断面図である。

【図6】第2の従来技術（特開平4-207055号公報）を説明するための断面図である。

【図7】第3の従来技術（特開平5-21617号公報）を説明するための断面図である。

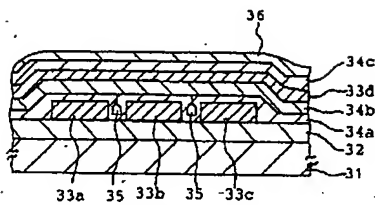
【符号の説明】

- 1 下層絶縁膜
- 2 配線金属
- 3 第一の絶縁膜
- 4 配線間開口部
- 5 ビアホール開口部
- 6 ビアホール埋設金属
- 7 第二の絶縁膜
- 8 空洞
- 9 上層配線金属
- 31 半導体装置
- 32 フィールド酸化膜
- 33 a～33 d 配線

9

- 34a～34c 層間絶縁膜
 35 長孔(空洞)
 36 保護膜
 41 半導体装置
 42 基板保護用絶縁膜
 43 コンタクトホール
 44 第一層配線
 45 第二層配線
 46 第一層間絶縁膜
 47 第二層間絶縁膜
 48 スルーホール
 49 側壁絶縁膜
 50 空洞
 51 カバー絶縁膜
 52 ボンディングパッド

【図5】

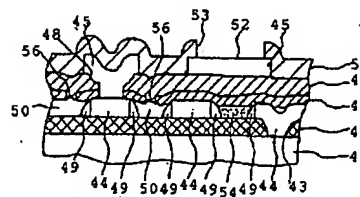


- 31:半導体基板
 32:フィールド酸化膜
 33a～33c:配線
 34a～34c:層間絶縁膜
 35:長孔(空洞)
 36:保護膜

10

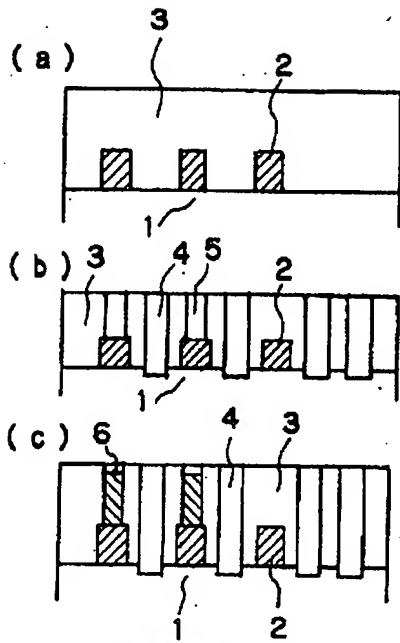
- 53 ボンディングパッド用窓
 54 配線間絶縁膜
 56 空洞形成用窓
 61 半導体装置
 62 絶縁膜
 63a、63b 配線
 64 第一の絶縁膜
 65、65a 第二の絶縁膜
 66 第三の絶縁膜
 10 66a 開口
 67 側壁絶縁膜
 68、68a～68c 空洞
 69 第四の絶縁膜
 70 第五の絶縁膜

【図6】



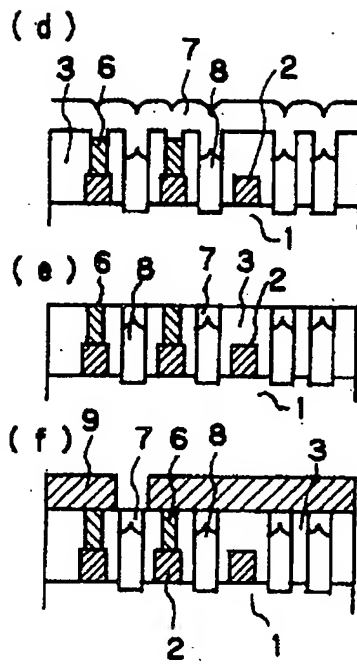
- 41:半導体基板
 42:基板保護用絶縁膜
 43:コンタクトホール
 44:第一層配線
 45:第二層配線
 46:第一層間絶縁膜
 47:第二層間絶縁膜
 48:スルーホール
 49:側壁絶縁膜
 50:空洞
 51:カバー絶縁膜
 52:ボンディングパッド
 53:ボンディングパッド用窓
 54:配線間絶縁膜
 56:空洞形成用窓

【図1】



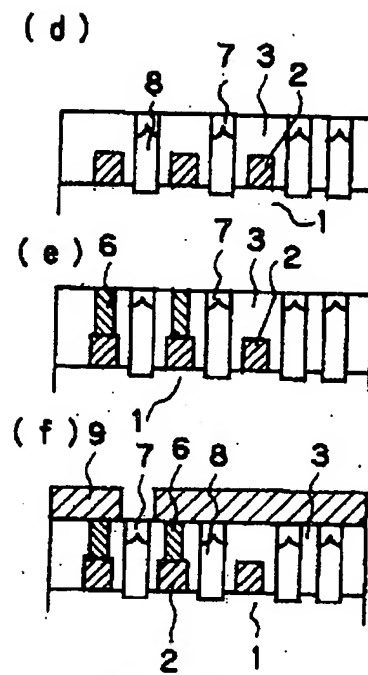
- 1: 下層絶縁膜
2: 記録金属
3: 第一の絶縁膜
4: 配線間開口部
5: ビアホール開口部
6: ビアホール埋設金属
7: 第二の絶縁膜
8: 空洞
9: 上層配線金属

【図2】



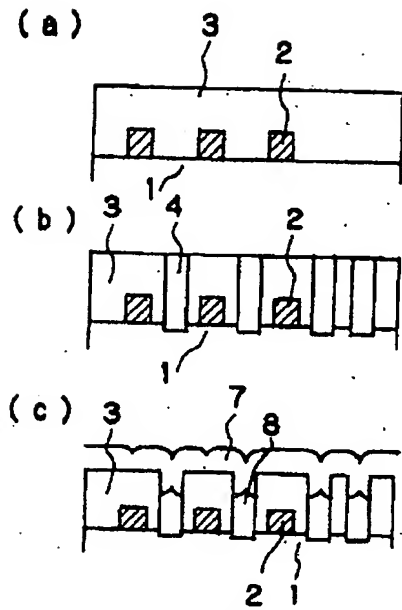
- 1: 下層絶縁膜
2: 記録金属
3: 第一の絶縁膜
4: 配線間開口部
5: ビアホール開口部
6: ビアホール埋設金属
7: 第二の絶縁膜
8: 空洞
9: 上層配線金属

【図4】



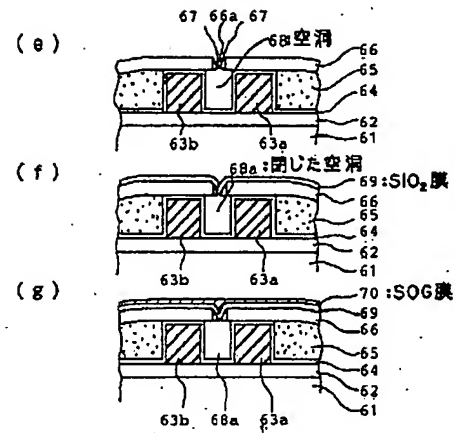
- 1: 下層絶縁膜
2: 記録金属
3: 第一の絶縁膜
4: 配線間開口部
5: ビアホール開口部
6: ビアホール埋設金属
7: 第二の絶縁膜
8: 空洞
9: 上層配線金属

【図3】



- 1: 下層絶縁膜
2: 記録金属
3: 第一の絶縁膜
4: 配線間開口部
5: ビアホール開口部
6: ビアホール埋設金属
7: 第二の絶縁膜
8: 空洞
9: 上層配線金属

【図7】



- 61: 半導体基板 68: 68a~68d: 空洞
62: 絶縁膜 69: 第四の絶縁膜
3a, 3b: 配線 70: 第五の絶縁膜
64: 第一の絶縁膜
65, 65a: 第二の絶縁膜
66: 第三の絶縁膜
66a: 開口
67: 側壁絶縁膜

フロントページの続き

(58) 調査した分野(Int. Cl.⁷, DB名)

H01L 21/768

H01L 21/306